

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Naoyuki KOIZUMI

Application No.:

Group Art Unit:

Filed: September 30, 2003

Examiner:

For: SEMICONDUCTOR DEVICE HAVING ADDITIONAL FUNCTIONAL ELEMENT AND
METHOD OF MANUFACTURING THEREOF

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-290274

Filed: October 2, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: September 30, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月 2日
Date of Application:

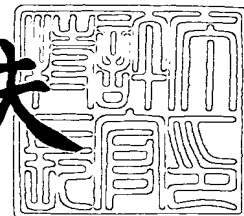
出願番号 特願2002-290274
Application Number:
[ST. 10/C]: [JP 2002-290274]

出願人 新光電気工業株式会社
Applicant(s):

2003年 8月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3070339



【書類名】 特許願

【整理番号】 1024145

【提出日】 平成14年10月 2日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01G 4/33

【発明の名称】 付加機能を有する半導体装置及びその製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 小泉 直幸

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

 【識別番号】 100082898

 【弁理士】

 【氏名又は名称】 西山 雅也

【選任した代理人】

 【識別番号】 100081330

 【弁理士】

 【氏名又は名称】 樋口 外治



【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 付加機能を有する半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 少なくとも一方の面に第 1 及び第 2 電極を有する半導体素子と、

半導体素子の搭載面に第 1 及び第 2 接続パッドを有する配線基板と、

前記半導体素子の前記一面を前記配線基板の搭載面側に向けて配置し、これらの間にわずかな隙間が形成されるように、前記第 1 電極と前記第 1 接続パッドとの間を電氣的に接続する接続手段と、

前記半導体素子の第 2 電極の領域と前記配線基板の第 2 接続パッドの領域との間の前記隙間に配置された特定の付加機能を有する素子と、を具備し、

該付加機能素子は一方の面で前記第 2 電極に接続され、他方の面で前記第 2 接続パッドに接続されて特定の電氣的機能を発揮するようにされていることを特徴とする、付加機能を有する半導体装置。

【請求項 2】 前記接続手段は半田バンプであり、前記付加機能素子の一方の面と前記第 2 電極と間は超音波接続、異方性導電性接着フィルム、又は異方性導電性接着ペーストにより接続され、前記付加機能素子の他方の面と前記接続パッドとの間は半田接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体素子の前記一面の外周領域に前記第 1 電極としての複数の信号用電極が配置され、中央領域に前記第 2 電極の他に、第 3 及び第 4 電極としての電源用及びグランド用電極が配置されており、前記半導体素子の中央領域と前記配線基板との間の隙間に前記付加機能素子が配置され、該付加機能素子の前記一方の面から他方の面へ貫通する複数の導電性ビアを介して前記第 3 及び第 4 電極と前記配線基板上の接続第 3 及び第 4 接続パッドとの間がそれぞれ電氣的接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記付加機能素子は、極薄型の受動素子又は能動素子、或いは極薄型のキャパシタ、抵抗、又はインダクタンスであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 特定の付加機能を有する素子の一方の面を、少なくとも一方の面に第 1 電極及び第 2 電極を有する半導体素子の前記第 2 電極に接続するように、該付加機能素子を前記半導体素子に搭載する工程と、

前記付加機能素子を接続した半導体素子の前記一方の面を、半導体素子搭載面に第 1 及び第 2 接続パッドを有する配線基板の前記搭載面に向けて配置することにより、これらの間に前記付加可能素子を挟み込むように、該付加機能素子の他方の面を前記配線基板の第 2 接続パッドに接続し、同時に前記半導体素子の第 1 電極を接続手段を介して前記第 1 接続パッドに接続する工程と、

を含むことを特徴とする付加機能を有する半導体装置の製造方法。

【請求項 6】 前記付加機能素子を前記半導体素子に搭載する工程は、前記付加機能素子の前記一方の面と前記半導体素子の前記第 2 電極とを、超音波接続、異方性導電性接着フィルム、又は異方性導電性接着ペーストにより接続することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記接続手段は半田バンプであり、該半田バンプを介した前記半導体素子の前記第 1 電極と前記配線基板の第 1 接続パッドとを接続し、前記付加機能素子の前記他方の面と前記配線基板の前記第 2 接続パッドとの接続は、フリップチップ工程で同時に半田接続が行われることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】 半導体素子の前記一方の面は、外周領域に前記第 1 電極としての複数の信号用電極が配置され、中央領域に前記第 2 電極の他に、第 3 及び第 4 電極としての電源用及びグランド用電極が配置されており、前記付加機能素子は前記一方の面から他方の面へ貫通する複数の導電性ビアを有し、

前記電源用及びグランド用電極と前記付加機能素子の前記ビアの一方の側との接続は、超音波接続、異方性導電性接着フィルム、又は異方性導電性接着ペーストにより行なわれ、前記付加機能素子の前記ビアの他方の側と前記配線基板の第 3 及び第 4 接続パッドとの接続は半田により、前記フリップチップ工程と同時に行われることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、キャパシタ、抵抗、インダクタンス等の特定の電氣的な機能を發揮する受動素子又は能動素子（以下、付加機能素子という）を内蔵した半導体装置及びその製造方法に関する。

【0 0 0 2】**【従来の技術】**

M P U（マイクロ・プロセッシング・ユニット）、C P U（セントラル・プロセッシング・ユニット）等のように、多数のトランジスタを具備し、これらのトランジスタの電源が同時にスイッチングする、即ち同時にオン・オフする半導体装置では、スイッチング時に多量の電流が電源とグランドとの間に流れることにより、電圧が変動する、いわゆる同時スイッチング・ノイズが生ずる。このノイズを低減させるため、従来、半導体素子の外部にデカップリング・キャパシタを搭載する等の対策が採られてきた。

【0 0 0 3】

また従来は、半導体素子が搭載されるパッケージないし配線基板上にキャパシタを搭載していたが、装置の高速化、高集約化、低電圧化の要求に伴い、スイッチング・ノイズを如何に低減させるかの対策が深刻な問題となるに至った。そこで、従来から、半導体素子により近いパッケージの内部にキャパシタを作り込む努力がなされているが、パッケージの製造工程の複雑さ、高コスト化が避けられない。

【0 0 0 4】

特許文献 1 に開示されている半導体装置は、アルミナセラミック基板上にチップキャリアを形成し、このチップキャリアの内部に高誘電体材料からなるデカップリング・キャパシタを形成している。そして、チップキャリアの上には L S I チップが搭載されている。

【0 0 0 5】

また、特許文献 2 には、薄膜コンデンサ、これを搭載した半導体装置用パッケージ及び半導体装置が開示されている。即ち、取り扱いが容易で、容易に実装が可能であり、さらには電源系のノイズの低減をより効果的に行なえるようにする



ため、半導体パッケージの内部に、高誘電体膜からなる薄膜コンデンサを形成している。またこの特許文献の図15には薄膜コンデンサを半導体チップに接続し、この半導体チップをパッケージ本体に搭載している。

【0006】

更にまた、特許文献3には、複数のリードを印刷配線板の周囲に配設するとともに、半導体チップ上面に形成された回路とパッド、ボンディングワイヤ、印刷配線、電極を介して導通する複数の接点として半田ボールを印刷配線板の下面に配設した半導体装置が開示されている。また、小さな受動素子を基板間の隙間の周囲領域に配置した構造も示されている。

【0007】

【特許文献1】

特開平8-148595号公報

【特許文献2】

特開平9-199374号公報

【特許文献3】

特開平10-209323号公報

【0008】

【発明が解決しようとする課題】

特許文献1に開示されている半導体装置は、チップキャリアの内部にデカップリング・キャパシタを形成しているが、半導体素子、即ちLSIチップを直接パッケージであるアルミナセラミックス上に搭載する構造ではなく、従来使用されているパッケージをそのまま使用できるものではない、という問題がある。

【0009】

また、特許文献2では、半導体パッケージの内部に高誘電体膜からなる薄膜コンデンサを形成しているが、薄膜コンデンサの一方の面のみ半導体素子に接続され、他方の面はパッケージに接続されていないので、パッケージの領域を十分有効に活用することができない、という問題がある。

【0010】

更に、特許文献3では、複数の小さな受動素子を半導体基板間或いは、印刷



配線板とマザーボードとの間の周囲領域に配置しているが、各受動素子は両基板間のそれぞれ 1 個ずつの電極にしか接続されておらず、したがって、両基板間のクリアランスを確保するためには機能を発揮するものの、スイッチング・ノイズの対策としては十分でないものと考えられる。

【0011】

本発明は、従来から使用されていた半導体パッケージをそのまま使用でき、しかも、キャパシタ等の付加機能を半導体素子に最も近接した位置に設けることができ、高速化、高集約化、低電圧化の下での、スイッチング・ノイズを極力抑制した、付加機能を有する半導体装置及びその製造方法を提供することを課題とする。

【0012】

【課題を解決するための手段】

上記の課題を達成するために、本発明によれば、少なくとも一方の面に第 1 及び第 2 電極を有する半導体素子と、半導体素子の搭載面に第 1 及び第 2 接続パッドを有する配線基板と、前記半導体素子の前記一面を前記配線基板の搭載面側に向けて配置し、これらの間にわずかな隙間が形成されるように、前記第 1 電極と前記第 1 接続パッドとの間を電氣的に接続する接続手段と、前記半導体素子の第 2 電極の領域と前記配線基板の第 2 接続パッドの領域との間の前記隙間に配置された特定の付加機能を有する素子と、を具備し、該付加機能素子は一方の面で前記第 2 電極に接続され、他方の面で前記第 2 接続パッドに接続されて特定の電氣的機能を発揮するようにされていることを特徴とする、付加機能を有する半導体装置が提供される。

【0013】

前記接続手段は半田バンプであり、前記付加機能素子の一方の面と前記第 2 電極と間は超音波接続、異方性導電性接着フィルム、又は異方性導電性接着ペーストにより接続され、前記付加機能素子の他方の面と前記接続パッドとの間は半田接続されていることを特徴とする。

【0014】

半導体素子の前記一面の外周領域に前記第 1 電極としての複数の信号用電極が

配置され、中央領域に前記第2電極の他に、第3及び第4電極としての電源用及びグランド用電極が配置されており、前記半導体素子の中央領域と前記配線基板との間の隙間に前記付加機能素子が配置され、該付加機能素子の前記一方の面から他方の面へ貫通する複数の導電性ビアを介して前記第3及び第4電極と前記配線基板上の接続第3及び第4接続パッドとの間がそれぞれ電氣的接続されることを特徴とする。

【0015】

前記付加機能素子は、極薄型の受動素子又は能動素子、或いは極薄型のキャパシタ、抵抗、又はインダクタンスであることを特徴とする。

【0016】

また、本発明によると、特定の付加機能を有する素子の一方の面を、少なくとも一方の面に第1電極及び第2電極を有する半導体素子の前記第2電極に接続するように、該付加機能素子を前記半導体素子に搭載する工程と、前記付加機能素子を接続した半導体素子の前記一方の面を、半導体素子搭載面に第1及び第2接続パッドを有する配線基板の前記搭載面に向けて配置することにより、これらの間に前記付加可能素子を挟み込むように、該付加機能素子の他方の面を前記配線基板の第2接続パッドに接続し、同時に前記半導体素子の第1電極を接続手段を介して前記第1接続パッドに接続する工程と、を含むことを特徴とする付加機能を有する半導体装置の製造方法が提供される。

【0017】

【発明の実施の形態】

以下、添付図面を参照して本発明の実施の形態について詳細に説明する。

【0018】

図1は、本発明の半導体装置において使用するに適した半導体素子の電極形成面側の平面図である。図2はキャパシタ30を内蔵した状態でパッケージ（又は配線基板）上に半導体素子を接続した状態を示す断面図であり、図3は図2のAで示す部分の拡大断面図である。

【0019】

半導体素子ないしチップ10は、エリア・アレイ・タイプのフリップチップ実

装される形式のもので、通常は、図 1 に示すように、半導体素子 10 の一方の面、即ち電極形成面の側には多数の電極 11、12、13 がアレイ状に配列されている。そして、略正方形の電極形成面の外周領域 14 には信号用の電極（第 1 電極）11 が配列され、外周領域の内部領域ないし中央領域 15 には、後述する極薄型の付加機能素子であるキャパシタ 30 の上面に接続される電極（第 2 電極）12 及び電源／グランド用の電極（第 3、第 4 電極）13 が配列されている。各電極 11、12、13 には、通常は、あらかじめフリップチップ接続用の半田バンプ 35 が形成されている。

【0020】

まず、半導体素子 10 の電極形成面の中央領域に形成されている電源／グランドの半田バンプを除去する。無論、半導体素子 10 の中央領域 15 には、あらかじめ半田バンプを作っておかなければ、それで良いが、ここでは、半田バンプがあらかじめ形成されているものについて説明する。半導体素子 10 の中央領域 15 の半田バンプを除去すると、半導体素子 10 を配線基板（あるいはパッケージ又はマザーボード）20 上に搭載した時、半導体素子 10 の中央領域 15 とパッケージ 20 との間に狭い隙間が規定される。勿論、半導体素子 10 の外周領域 14 では、ボール状の半田バンプ 35 が電極 11 上に形成されたままの状態となっている。

【0021】

次に、電源／グランド 12、13 上に薄化した付加機能素子、例えばチップ状のキャパシタ 30 を接続する。接続方法は超音波接続、異方性導電接着フィルム（ACF）接続、異方性導電接着ペースト（ACP）接続、又は、半田接続などが考えられる。

【0022】

この極薄型のキャパシタ 30 は、例えばシリコン基板の表面研磨技術などを利用して製造することができる。シリコン製のみならず、例えば、フィルム等の有機系又はセラミック等の無機系の材料からなるものであっても良い。また、付加機能素子 30 としては、キャパシタのみならず抵抗、インダクタンスなどの受動素子を用いることもできる。或いは、受動素子のみならず能動素子であっても良

い。要するに、半田バンプ 35 の高さ内に収まる程度の極薄型の素子であって、上下面に電極があり、半導体素子の電極とパッケージ側の接続パッドとの間に接続することが可能で、ある特定の電氣的な機能を生ずるものであれば良い。

【0023】

また、このキャパシタ 30 は内部の上下に貫く複数の貫通穴が設けられ、この貫通穴に銅などの導体が充填されて導電性ビア 31 が形成されている。これらの導電性ビア 31 を通じて表裏の導通をとる、即ち半導体素子 10 とパッケージないし配線基板 20 の接続パッド 22 との接続をとることのできる構造になっている。

【0024】

極薄型のキャパシタ 30 を搭載した半導体素子 10 の電極形成面側を配線基板 20 の側に向けて配置し、半田バンプ 35 を配線基板 20 の接続パッド 21 と位置合わせをしてフリップチップ接続を行う。これにより、半導体素子 10 の電極 11 と配線基板 20 の接続パッド 21 との間に半田バンプ 35 を介して接続される。同時に、キャパシタ 30 の下側の面と配線基板 20 の接続パッド 23 が接続され、キャパシタ 30 の導電性ビア 31 の下端面が配線基板 20 の接続パッド 22 に接続される。

【0025】

キャパシタ 30 の電極形成面と配線基板 20 との間の隙間には、通常は、アンダーフィル 40 が充填される。このようにして本発明の半導体装置が完成する。完成後の半導体装置は、一例として、その電極形成面と配線基板 20 との間の隙間ないし高さ T は約 $80\ \mu\text{m}$ 、極薄型の付加機能素子（キャパシタ）30 の厚さないし高さ t は約 $40\ \mu\text{m}$ 、また、超音波接続の部分 32 の厚さは約 $10\ \mu\text{m}$ 、半田接続の部分 33 の厚さは約 $30\ \mu\text{m}$ であった。

【0026】

以上添付図面を参照して本発明の実施形態について説明したが、本発明は上記の実施形態に限定されるものではなく、本発明の精神ないし範囲内において種々の形態、変形、修正等が可能である。

【0027】

【発明の効果】

以上説明したように、本発明によれば、半導体素子 10 の最も近接した個所にキャパシタ 30 等の付加機能素子を設けることにより、特に高速動作時の遅延に対して有効である。キャパシタのみならず、抵抗、インダクタンスなどあらゆる付加機能素子 30 を作り込めるため、インピーダンス・マッチングが可能であり、電気的特性が大幅に改善できる。また、従来からの半導体素子やパッケージ等の部品、或いは、製造工法をほぼそのまま使用できるために半導体製造のための新規投資が不要となる。更に、半導体装置の内部にキャパシタを作り込むために、より広い面積の領域をキャパシタ用に使用できる。即ち、より高いキャパシタ容量を確保することができる等の利点がある。

【図面の簡単な説明】**【図 1】**

半導体素子の電極形成面の平面図である。

【図 2】

本発明の付加機能を有する半導体装置の断面図である。

【図 3】

図 2 の部分 A の拡大断面図である。

【符号の説明】

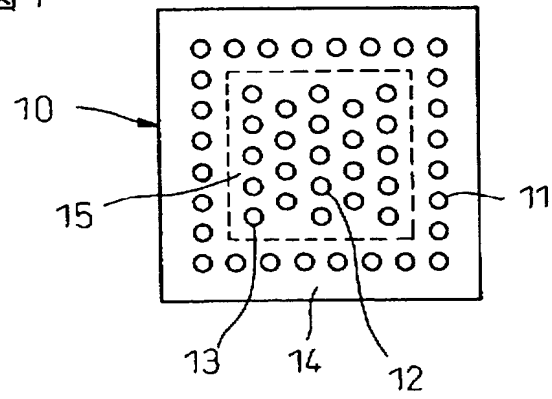
- 10…半導体素子（チップ）
- 11～13…電極
- 14…外周領域
- 15…中央領域
- 20…配線基板（パッケージ）
- 21～23…接続パッド
- 30…付加機能素子（キャパシタ）
- 31…導電性ビア
- 32, 33…接続部
- 35…半田バンプ
- 40…アンダーフィル

【書類名】

図面

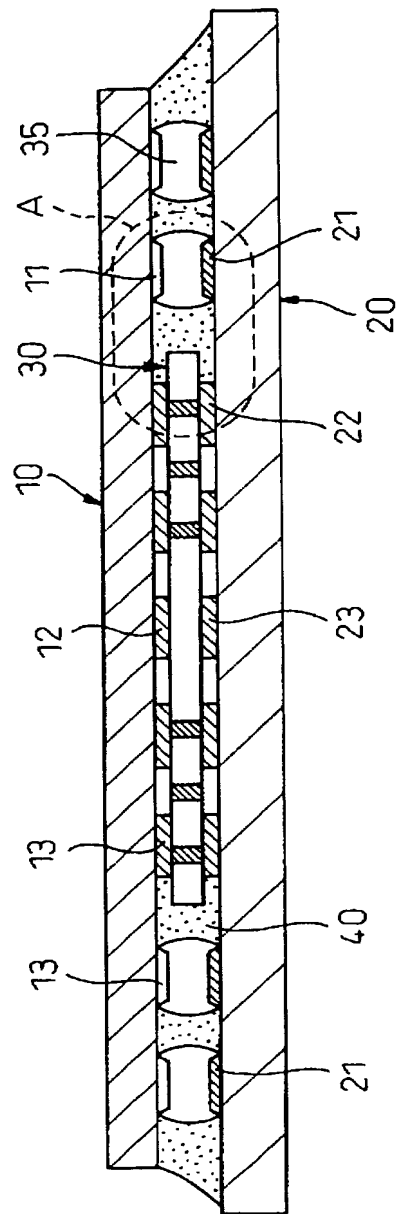
【図 1】

図 1



【図 2】

図 2



【書類名】 要約書

【要約】

【課題】 従来から使用されていた半導体パッケージをそのまま使用でき、しかも、キャパシタ等の付加機能を半導体素子に最も近接した位置に設けることができ、高速化、高集約化、低電圧化の下での、スイッチング・ノイズを極力抑制した半導体装置を提供する。

【解決手段】 キャパシタ（30）の一方の面を、半導体素子（10）の電極形成面の電極に接続し、このキャパシタを接続した半導体素子の電極形成面を、配線基板（20）の半導体素子搭載面に向けて配置し、これらの間にキャパシタを挟み込むように、このキャパシタの他方の面を配線基板の接続パッドに接続し、同時に半導体素子の電極の既に接続してある半田バンプ（35）を介して配線基板の接続パッドにフリップチップ接続することを特徴とする。

【選択図】 図2

特願 2 0 0 2 - 2 9 0 2 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田 7 1 1 番地

氏 名

新光電気工業株式会社